

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-051149

(43)Date of publication of application : 20.02.1996

(51)Int.Cl.

H01L 21/768

H01L 21/28

(21)Application number : 06-185648

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 08.08.1994

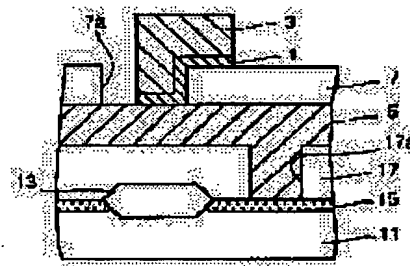
(72)Inventor : OKAMOTO TATSURO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To provide a multilayer wiring structure which is adapted to high degree of integration and high electric reliability.

CONSTITUTION: A lower wiring layer 5 made of tungsten is formed. An interlayer insulating layer 7 is formed on the layer 5. A viahole 7a for exposing the partial surface of the layer 5 is formed on the layer 7. Upper wirings layers 1, 3 are so formed and brought into contact with the layer 5 through the viahole 7a. The wiring layer has a titanium nitride film 1 and a tungsten film 3 formed on the film 1. The film 1 is brought into contact with the layer 5 only at the part of the bottom wall of the viahole 7a.



LEGAL STATUS

[Date of request for examination] 02.08.2000

[Date of sending the examiner's decision of rejection] 19.11.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is formed on the 1st wiring layer and said 1st wiring layer. Said 1st wiring layer a part The insulating layer which has the hole which arrives at a front face, It has said 1st wiring layer and the 2nd wiring layer connected electrically through said hole, and the bottom wall side of said hole consists of a front face of said 1st wiring layer. Said 2nd wiring layer For said 1st wiring layer, said 2nd wiring layer is a semiconductor device which has the conductive layer which consists of an ingredient with which etched properties differ in the part to which it is alternatively in contact with a part of bottom wall side of said hole, and said 2nd wiring layer touches said 1st wiring layer.

[Claim 2] The ingredient of said 1st wiring layer contains a tungsten, and the ingredient of said conductive layer is a semiconductor device of titanium nitride and tantalum nitride according to claim 1 which contains either at least.

[Claim 3] It is the semiconductor device according to claim 1 with which said 2nd wiring layer has the 2nd conductive layer formed on said conductive layer, and the ingredient of said 2nd conductive layer contains a tungsten.

[Claim 4] It is formed on the 1st wiring layer and said 1st wiring layer. Said 1st wiring layer a part The insulating layer which has the hole which arrives at a front face, It has said 1st wiring layer and the 2nd wiring layer connected electrically through said hole. Said 2nd wiring layer It is the semiconductor device with which it is alternatively in contact with a part of bottom wall side of said hole with the semiconductor device, and has the conductive layer which said 2nd wiring layer turns into from a different ingredient of an etched property in said 1st wiring layer, and the bottom wall side of said hole consists of a front face of said conductive layer.

[Claim 5] The ingredient of said 2nd wiring layer contains a tungsten, and the ingredient of said conductive layer is a semiconductor device of titanium nitride and tantalum nitride according to claim 4 which contains either at least.

[Claim 6] It is the semiconductor device according to claim 4 with which said 1st wiring layer has the 2nd conductive layer formed in the bottom of said conductive layer, and the ingredient of said 2nd conductive layer contains a tungsten.

[Claim 7] Said 2nd wiring layer is a semiconductor device given in either of claims 1 and 4 which has extended said insulating layer top which maintains predetermined width of face and includes the field of said hole.

[Claim 8] The process which forms the 1st wiring layer, and the process which forms an insulating layer on said 1st wiring layer, The process which forms the hole where said 1st wiring layer is reached, and a bottom wall side becomes said insulating layer from said 1st wiring layer, The process which forms the 2nd wiring layer so that it may have the conductive layer which consists of an ingredient with which said 1st wiring layer is touched through said hole, and said 1st wiring layer differs from an etched property, The manufacture approach of a semiconductor device equipped with the process alternatively removed so that said 2nd wiring layer may be made to remain where a part of bottom wall side of said hole is touched.

[Claim 9] The process which forms the 1st wiring layer which has a conductive layer, and the process

which forms an insulating layer on said 1st wiring layer, So that the process which forms the hole where said 1st wiring layer is reached, and a bottom wall side becomes said insulating layer from said conductive layer may be touched with said conductive layer through said hole The manufacture approach of a semiconductor device equipped with the process which forms the 2nd wiring layer which consists of an ingredient with which said conductive layer differs from an etched property, and the process alternatively removed so that said 2nd wiring layer may be made to remain where a part of bottom wall side of said hole is touched.

[Translation done.]

*** NOTICES ***

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] More specifically, this invention relates to the semiconductor device which has the multilayer-interconnection structure of a large-scale integrated circuit (LSI), and its manufacture approach about a semiconductor device and its manufacture approach.

[0002]

[Description of the Prior Art] Conventionally, as for multilayer-interconnection structure, what used aluminum (aluminum) alloy for the wiring layer as shown in drawing 15 was main. The impurity diffusion field 515 is formed in the front face separated by the component demarcation membrane 513 of the semi-conductor substrate 511 with reference to drawing 15 . The layer insulation layer 517 is formed on the front face of the semi-conductor substrate 511, and contact hole 517a which arrives at the impurity diffusion field 515 is formed in this layer insulation layer 517. (Aluminum aluminum) alloy film 505 is formed as a lower wiring layer so that this impurity diffusion field 515 may be touched through contact hole 517a. The layer insulation layer 507 is formed so that this lower wiring layer 505 may be covered, and beer hall 507a of the lower wiring layer 505 which gives a part to a front face is formed in this layer insulation layer 507. The up wiring layer which consists of aluminium alloy film 503 so that the lower wiring layer 505 may be touched is formed through this beer hall 507a.

[0003] However, the contact hole and the beer hall have also been made detailed with high integration of a semiconductor device. Thereby, the rate of step coverage of the aluminium alloy film in a contact hole or a beer hall falls, and the dependability fall of electromigration, a stress migration, etc. has posed a problem. For this reason, the structure which forms a tungsten (W) plug in a hole as shown in drawing 16 began to be adopted.

[0004] That is, with reference to drawing 16 , the plug layers 605a and 503a are filled up with contact hole 517a or beer hall 507a. For this reason, the step coverage of the wiring layer in a contact hole 517 does not pose a problem. Therefore, electric dependability improves by each wiring layers 605b and 503b being respectively connected to the lower layer impurity diffusion field 515 or wiring layer 605b electrically through these plug layers 605a and 503a.

[0005] Drawing 17 is the arrow head X0 of drawing 15 and drawing 16 . It is the top view showing roughly the conventional semiconductor device seen from the direction. Line breadth W1 of connection 503c of the up wiring layer 503 (503b) located in the beer hall 507a upper part with the conventional semiconductor device with reference to drawing 17 Line breadth W2 of other parts of the up wiring layer 503 It is set up greatly. Thus, line breadth W1 of connection 503c Since it is set up greatly, the covering margin by the superposition error at the time of photoengraving process is produced.

[0006] That is, when carrying out patterning of the up wiring layer 503, after forming a conductive layer all over a front face, patterning of the conductive layer is carried out to the up wiring layer 503 by the photoengraving-process technique. However, the up wiring layer 503 is a position to the arrow head SA by the superposition error of the mask at the time of the photoengraving process. Or arrow head SB It may be shifted and formed in a direction. Thus, when the up wiring layer 503 shifts and is formed, the case where the good connection between the up wiring layer 503 and the lower wiring layer 505 is not obtained through beer hall 507a arises. So, the up wiring layer 503 is an arrow head SA. Or arrow head SB It is the line breadth W1 of connection 503c so that the good connection with the lower wiring layer 505 may be obtained, even when shifted and formed in a direction. It is set up greatly and the covering margin is secured.

[0007] In addition, the cross section which meets the E-E line of drawing 17 corresponds to drawing 15 and 16.

[0008]

[Problem(s) to be Solved by the Invention] The conventional semiconductor device is constituted as mentioned above.

[0009] ** However, line breadth W1 of connection 503c of the up wiring layer 503 shown in drawing 17 with the conventional semiconductor device Line breadth W2 of other parts Since it was large, there was a trouble of not being suitable for high integration. Hereafter, that is explained to a detail.

[0010] Drawing 17 is referred to and it is the line breadth W1 of connection 503c. Line breadth W2 of other parts of the up wiring layer 503 It is large. For this reason, when forming the up wiring layer 503 and the wiring layer 521 which runs parallel to, between connection 503c and a wiring layer 521, spacing LA 5 turns into a minimum interval. In this case, line breadth W2 of the up wiring layer 503 The spacing LB5 of the part and wiring layer 521 which it has becomes larger than the spacing LA 5 of connection 503c and a wiring layer 521. So, spacing LB5 cannot be made into a minimum interval, i.e., the minimum processing dimension in photoengraving process. The wiring pitch LP 5 of breadth, the up wiring layer 503, and a wiring layer 521 stops thus, spacing LB5 being suitable for breadth and high integration by the covering margin, as a result of preparing a covering margin by connection 503c.

[0011] ** If a wiring layer is formed with aluminum on the other hand when not preparing a covering margin in connection 503c (drawing 15), the problem that the electric dependability of a wiring layer falls will arise. Hereafter, that is explained to a detail.

[0012] Drawing 18 is the top view showing roughly the configuration of the semiconductor device when not preparing a covering margin in an up wiring layer. When not preparing a covering margin with reference to drawing 18 , spacing LA6 and LB6 of the up wiring layer 503 and a wiring layer 521 can be uniformly made into a minimum interval. For this reason, it can be made smaller than the wiring pitch LB5 which shows the wiring pitch LB6 of the up wiring layer 503 and a wiring layer 521. to drawing 17 . So, it can be said that the structure where a covering margin is not prepared is suitable for high integration.

[0013] However, since there is no covering margin, when the location of the up wiring layer 503 shifts and is formed of the superposition error at the time of photoengraving process, it becomes like drawing 19 .

[0014] With reference to drawing 19 , the part into which the up wiring layer 503 cannot cover a beer hall 507 top arises by location gap of the up wiring layer 503.

[0015] In this case, if both the lower part and the up wiring layers 505 and 503 are formed with the

aluminium alloy, it will be etched by etching for patterning of the up wiring layer 503 as shown in drawing 20 to the lower wiring layer 505.

[0016] Drawing 20 is an outline sectional view which meets the F-F line of drawing 19 . If the lower wiring layer 505 is also etched with reference to drawing 20 at the time of etching of the up wiring layer 503, wiring resistance of the lower wiring layer 505 will become high, and the fall of electric dependability will arise.

[0017] ** Even when a tungsten plug is applied, as shown in drawing 21 , the part into which up wiring layer 503b cannot cover a beer hall 507a top arises by the superposition gap by photoengraving process again. However, the etch rate of tungsten plug 503a to the etch rate of up wiring layer 503b which consists of aluminum can be set up small enough. For this reason, tungsten plug 503a is hardly etched at the time of patterning of up wiring layer 503b, and the damage by etching is not received.

[0018] However, the following problems arise according to the manufacture process of a tungsten plug in this case.

[0019] There are two kinds of approaches in the manufacture process of a tungsten plug. One approach is an approach of carrying out whole surface etchback and making a tungsten remaining only in a hole, after depositing a tungsten all over a front face. Moreover, another approach is an approach of growing up a tungsten alternatively only into a hole. However, there is a problem of the rise of the manufacturing cost by two processes of deposition and etchback of a tungsten being added in the former approach. Moreover, there was a problem that control of the selectivity grown up alternatively was very difficult only in a hole in the latter approach.

[0020] It is that the purpose of 1 of this invention offers the multilayer-interconnection structure suitable for high integration by ** of a more than - **.

[0021] Moreover, other purposes of this invention are offering the multilayer-interconnection structure electric dependability's being high.

[0022] The purpose of further others of this invention is manufacturing multilayer-interconnection structure at a simple process.

[0023]

[Means for Solving the Problem] The semiconductor device according to claim 1 is equipped with the 1st wiring layer, an insulating layer, and the 2nd wiring layer. An insulating layer is formed on the 1st wiring layer, and has the hole of the 1st wiring layer which gives a part to a front face. The 2nd wiring layer is electrically connected with the 1st wiring layer through the hole. The bottom wall side of a hole consists of a front face of the 1st wiring layer. The 2nd wiring layer is alternatively in contact with a part of bottom wall side of a hole. In the part to which the 2nd wiring layer touches the 1st wiring layer, the 2nd wiring layer has the conductive layer which consists of an ingredient with which the 1st wiring layer differs from an etched property.

[0024] In a semiconductor device according to claim 2, the ingredient of the 1st wiring layer has the desirable thing of titanium nitride and tantalum nitride which the ingredient of a conductive layer includes for either at least including a tungsten.

[0025] In a semiconductor device according to claim 3, the 2nd wiring layer has the 2nd conductive layer formed on the conductive layer, and, as for the ingredient of the 2nd conductive layer, it is desirable that the tungsten is included.

[0026] The semiconductor device according to claim 4 is equipped with the 1st wiring layer, an insulating layer, and the 2nd wiring layer. An insulating layer is formed on the 1st wiring layer, and has the hole of the 1st wiring layer which gives a part to a front face. The 2nd wiring layer is electrically connected with the 1st wiring layer through the hole. The 2nd wiring layer is alternatively in contact with a part of bottom wall side of a hole. The 1st wiring layer has the conductive layer which consists of an ingredient with which an etched property differs from the 2nd wiring layer. The bottom wall side of a hole consists of a front face of a conductive layer.

[0027] In a semiconductor device according to claim 5, the ingredient of the 2nd wiring layer has the

desirable thing of titanium nitride and tantalum nitride which the ingredient of a conductive layer includes for either at least including a tungsten.

[0028] In a semiconductor device according to claim 6, the 1st wiring layer has the 2nd conductive layer formed in the bottom of a conductive layer, and, as for the ingredient of the 2nd conductive layer, it is desirable that the tungsten is included.

[0029] As for the 2nd wiring layer, in a semiconductor device according to claim 7, it is desirable to have extended the insulating-layer top which maintains predetermined width of face and includes the field of a hole.

[0030] The manufacture approach of a semiconductor device according to claim 8 is equipped with the following processes. The 1st wiring layer is formed first. And an insulating layer is formed on the 1st wiring layer. And the hole where the 1st wiring layer is reached and a bottom wall side becomes an insulating layer from the 1st wiring layer is formed. And the 2nd wiring layer is formed so that it may have the conductive layer which consists of an ingredient with which the 1st wiring layer is touched through a hole, and the 1st wiring layer differs from an etched property. And the 2nd wiring layer is alternatively removed so that it may remain, where a part of bottom wall side of a hole is touched.

[0031] The manufacture approach of a semiconductor device according to claim 9 is equipped with the following processes. The 1st wiring layer which has a conductive layer first is formed. And an insulating layer is formed on the 1st wiring layer. And the hole where the 1st wiring layer is touched and a bottom wall side becomes an insulating layer from a conductive layer is formed. And the 2nd wiring layer which consists of an ingredient with which a conductive layer differs from an etched property is formed so that a conductive layer may be touched through a hole. And the 2nd wiring layer is alternatively removed so that it may remain, where a part of bottom wall side of a hole is touched.

[0032]

[Function] In the semiconductor device given in claims 1 and 4, the conductive layer is prepared in the part to which the 2nd wiring layer touches the 1st wiring layer. This conductive layer has a different etched property from the 1st or the 2nd wiring layer. For this reason, even if there is a part into which the 2nd wiring layer does not cover a hole top, most of the 1st wiring layer of that part that is not covered is not etched at the time of etching for patterning of the 2nd wiring layer. Therefore, good electric dependability is acquired.

[0033] Moreover, since the 1st wiring layer which is not covered by the 2nd wiring layer is hardly etched at the time of etching of the 2nd wiring layer, it is not necessary to prepare a part with wide line breadth in the 2nd wiring layer in consideration of a covering margin. Therefore, it enables it only for the part which does not need to prepare a part with wide line breadth to be able to carry out [****]-izing of the wiring pitch, and to attain high integration.

[0034] With the semiconductor device of a publication, a conductive layer is made claims 2, 3, 5, and 6 to the 1st or the 2nd wiring layer being used as a tungsten at titanium nitride or tantalum nitride. This titanium nitride (or tantalum nitride) and tungsten are the ingredient which can secure the difference of a mutual etch rate greatly according to etching conditions. For this reason, even if there is a part into which the 2nd wiring layer does not cover a hole top, most of the 1st wiring layer of that part that is not covered is not etched at the time of etching for patterning of the 2nd wiring layer. Therefore, good electric dependability is acquired.

[0035] By the manufacture approach of a semiconductor device according to claim 8, a semiconductor device according to claim 1 can be obtained.

[0036] By the manufacture approach of a semiconductor device according to claim 9, a semiconductor device according to claim 4 can be obtained.

[0037]

[Example] Hereafter, the example of this invention is explained based on drawing.

Example 1 drawing 1 is the top view showing roughly the configuration of the semiconductor device in the 1st example of this invention. Moreover, drawing 2 is an outline sectional view which meets the A-A

line of drawing 1 .

[0038] The impurity diffusion field 15 is formed in the front face separated by the component demarcation membrane 13 of the semi-conductor substrate 11 with reference to drawing 1 and drawing 2 . The layer insulation layer 17 is formed in the front face of this semi-conductor substrate 11. Contact hole 17a which arrives at the impurity diffusion field 15 is prepared in the layer insulation layer 17.

[0039] The lower wiring layer 5 which consists of a tungsten by 5000A thickness so that the impurity diffusion field 15 may be touched through contact hole 17a is formed. The layer insulation layer 7 is formed so that this lower wiring layer 5 may be covered. Beer hall 7a of the lower wiring layer 5 which gives a part to a front face is prepared in the layer insulation layer 7. The 2nd wiring layer 1 and 3 is formed so that the lower wiring layer 5 may be touched through beer hall 7a.

[0040] The 2nd wiring layer has the tungsten film 3 formed by 8000A thickness for example, on the titanium nitride (TiN) film 1 which has 1000A thickness, and its titanium nitride film 1.

[0041] This 2nd wiring layer 1 and 3 is not embedding the inside of beer hall 7a completely. That is, the field which is not embedded by the 2nd wiring layer 1 and 3 is in beer hall 7a. So, the 2nd wiring layer 1 and 3 is alternatively in contact with a part of bottom wall side of beer hall 7a.

[0042] This 2nd wiring layer 1 and 3 is line breadth WA. It maintained and the layer insulation layer 7 top including a beer hall 7a top is extended.

[0043] In addition, on the front face of the layer insulation layer 7, other wiring layers 21 are formed so that it may run parallel to with the up wiring layers 1 and 3.

[0044] Next, the manufacture approach of the semiconductor device in the 1st example of this invention is explained.

[0045] Drawing 3 - drawing 6 are the outline sectional views showing the manufacture approach of the semiconductor device of the 1st example of this invention in order of a process. first — drawing 3 — referring to — LOCOS (Local Oxidation of Silicon) usual to the front face of the semi-conductor substrate 11 — the component demarcation membrane 13 is alternatively formed of law. Moreover, the impurity diffusion field 15 is formed in the field separated with the isolation oxide film 13 of the semi-conductor substrate 11 of an ion implantation etc. The layer insulation layer 17 is formed so that the whole surface surface of the semi-conductor substrate 11 may be covered. Contact hole 17a of the impurity diffusion field 15 which gives a part to a front face is formed in the layer insulation layer 17 by a usual photoengraving-process technique and a usual etching technique.

[0046] The tungsten film 5 is formed by 5000A thickness of a spatter etc. all over a front face so that the impurity diffusion field 15 may be touched through contact hole 17a. Then, patterning of the tungsten film 5 is carried out to a desired configuration by the photoengraving-process technique and the etching technique, and it becomes the 1st wiring layer 5. The layer insulation layer 7 is formed so that this 1st wiring layer 5 may be covered. Beer hall 7a of the lower wiring layer 5 which gives a part to a front face is formed in the layer insulation layer 7 by a usual photoengraving-process technique and a usual etching technique.

[0047] With reference to drawing 4 , the titanium nitride film 1 is formed by about 1000A thickness of a spatter etc. all over a front face so that the lower electrode layer 5 may be touched through beer hall 7a.

[0048] With reference to drawing 5 , the tungsten film 3 is formed by about 8000A thickness of a spatter etc. all over the front face of the titanium nitride film 1.

[0049] With reference to drawing 6 , a resist pattern 23 is formed on the front face of the tungsten film 3. Etching is performed to the tungsten film 3 by using this resist pattern 23 as a mask.

[0050] The conditions of this etching are etching gas:SF6. It is gas, pressure:1mTorr, and RF power:150W. The etch rate of the tungsten in this etching condition is a part for 2000A/, and the etch rate of a photoresist is a part for 1000A/. Moreover, the etch rate of the titanium nitride in this etching condition is 1/100 or less [of the etch rate of a tungsten]. For this reason, even if it gives 50% of over etching to the titanium nitride film 1, as for the titanium nitride film, only about 40A thickness is etched.

[0051] Then, etching is performed to the titanium nitride film 1. The conditions of this etching are

etching gas:BCl₃+Cl₂. It is gas, pressure:10mTorr, and RF power:200W. On this etching condition, the etch rate of the titanium nitride film 1 is a part for 1000Å/. Moreover, the etch rates of the tungsten in this etching condition are or less 1 of titanium nitride / 50 to 1/100. For this reason, when the titanium nitride film 1 is 1000Å, even if it gives 100% of over etching to the titanium nitride film 1, as for the lower wiring layer 5 which consists of a tungsten, etching removal only of the thickness 10–20Å or less is carried out.

[0052] Thus, if the gas of a fluorine (F) system is used at the time of etching of a tungsten, most titanium nitride film will not be etched. Moreover, at the time of etching of the titanium nitride film, most tungsten film is not etched by using the gas of a chlorine (Cl) system. It will be in the condition which a resist pattern 23 is removed after these etching, and shows in drawing 1 and 2.

[0053] In addition, although the passivation film is formed all over a front face so that the up wiring layers 1 and 3 may be covered after the process of the above [a wiring layer / case / of a lower wiring layer and the up wiring layers 1 and 3 / two-layer], it omits here.

[0054] In the semiconductor device of this example, the titanium nitride film 1 is formed in the part to which the up wiring layers 1 and 3 touch the lower wiring layer 5 as shown in drawing 2 . The etch rate of the titanium nitride film 1 can be set up more greatly enough than the etch rate of the lower wiring layer 5 which consists of a tungsten at the time of etching of this titanium nitride film 1. For this reason, the lower electrode layer 5 is hardly etched at the time of etching of the titanium nitride film 1.

Therefore, the part of the lower wiring layer 5 by which the lower wiring layer 5 is not covered even if a front face is not covered by the up wiring layers 1 and 3 in part is not sharply etched in beer hall 7a, and the good electric dependability of the lower wiring layer 5 is maintained.

[0055] Moreover, the part of the lower wiring layer 5 which is not covered by the up wiring layers 1 and 3 in beer hall 7a from **** is hardly etched at the time of etching of the titanium nitride film 1. For this reason, it is not necessary to prepare a part with wide line breadth in the up wiring layer 1 in consideration of a covering margin. That is, as shown in drawing 1 , it is the predetermined line breadth WA about the up wiring layers 1 and 3. It can be made to be able to maintain, and can be made to extend and spacing LA1 and LB1 of the up wiring layers 1 and 3 and the other wiring layers 21 can be made into the minimum processing dimension in the minimum distance and the so-called photoengraving process. Therefore, as shown in drawing 1 , it can contraction-ize from the conventional wiring pitch LP 5 which shows the wiring pitch LPA of the up wiring layers 1 and 3 which run parallel to mutually, and the other wiring layers 21 to drawing 17 , and the semiconductor device suitable for high integration can be obtained.

Example 2 drawing 7 is the top view showing roughly the configuration of the semiconductor device in the 2nd example of this invention. Moreover, drawing 8 is an outline sectional view which meets the B–B line of drawing 7 .

[0056] With reference to drawing 7 and drawing 8 , as for the configuration of the semiconductor device of this example, the configurations of a lower wiring layer and an up wiring layer differ as compared with the 1st example.

[0057] The lower wiring layer has the tungsten film 5 and the titanium nitride film 101. The tungsten film 5 is formed so that the impurity diffusion field 15 may be touched through contact hole 17a prepared in the layer insulation layer 17. The titanium nitride film 101 is formed on the tungsten film 5. Moreover, the up wiring layer 3 consists of a tungsten film monolayer.

[0058] The up wiring layer 3 is in contact with the lower electrode layer 5,101 through beer hall 7a prepared in the layer insulation layer 7. Besides, the section wiring layer 3 is not embedding the inside of beer hall 7a completely. That is, the up wiring layer 3 is alternatively in contact with a part of bottom wall side of beer hall 7a.

[0059] In addition, since it is almost the same as that of the 1st example about the configuration of those other than this, the explanation is omitted.

[0060] Next, the manufacture approach of the semiconductor device in the 2nd example of this

invention is explained.

[0061] Drawing 9 — drawing 12 are the outline sectional views showing the manufacture approach of the semiconductor device in the 2nd example of this invention in order of a process. first — drawing 9 — referring to — LOCOS usual to the front face of the semi-conductor substrate 11 — the component demarcation membrane 13 is formed using law. The impurity diffusion field 15 is formed in the front face separated by the component demarcation membrane 13 of the semi-conductor substrate 11 by ion-implantation etc. The layer insulation layer 17 is formed so that the front face of the semi-conductor substrate 11 may be covered. Contact hole 17a of the impurity diffusion field 15 which gives a part to a front face is formed in the layer insulation layer 17 by a usual photoengraving-process technique and a usual etching technique.

[0062] The tungsten film 5 is formed by about 5000A thickness of a spatter etc. all over a front face so that the front face of the impurity diffusion field 15 may be touched through contact hole 17a. The titanium nitride film 101 is formed by about 500A thickness of a spatter etc. all over the front face of this tungsten film 5. Patterning of the titanium nitride film 101 and the tungsten film 5 is carried out one by one by a usual photoengraving-process technique and a usual etching technique, and the lower wiring layer 5,101 is formed.

[0063] Especially etching of this titanium nitride film 101 is etching gas:BCl₃+Cl₂. It is carried out under gas, pressure:10mTorr, and the conditions of RF power:200W. On this etching condition, the etch rate of the titanium nitride film is a part for 1000A/. Moreover, the etch rates of the tungsten film 5 in this etching condition are or less 1 of the etch rate of the titanium nitride film 101 / 50 to 1/100. Therefore, when the titanium nitride film has 1000A thickness, even if 100% of over etching is given to this titanium nitride film, as for the tungsten film, etching removal only of the thickness 10-20A or less is carried out.

[0064] With reference to drawing 10 , the layer insulation layer 7 is formed so that the lower wiring layer 5,101 may be covered. Beer hall 7a of the titanium nitride film 101 which gives a part to a front face is formed in the layer insulation layer 7 by a usual photoengraving-process technique and a usual etching technique.

[0065] With reference to drawing 11 , the tungsten film 3 is formed by about 8000A thickness of a spatter all over a front face so that the titanium nitride film 101 may be touched through beer hall 7a.

[0066] drawing 12 — referring to — some tungsten film 3 — a resist pattern 23 is formed in a front face. Etching removal of the tungsten film 3 is carried out by using this resist pattern 23 as a mask.

[0067] The conditions of this etching are etching gas:SF₆. It is gas, pressure:1mTorr, and RF power:150W. The etch rate of the tungsten in this etching condition is a part for 2000A/, and the etch rate of a resist pattern 23 is a part for 1000A/. Moreover, the etch rate of the titanium nitride film 101 in this etching condition is 1/100 or less [of the tungsten film 3]. For this reason, even if it gives 50% of over etching to the tungsten film 3, etching removal only of about 40A of the titanium nitride film 101 is not carried out.

[0068] Then, it will be in the condition which a resist pattern 23 is removed and shows in drawing 8 . In addition, although the passivation film is formed so that a wiring layer may cover this up wiring layer 3 in the two-layer case of the lower wiring layer 5,101 and the up wiring layer 3, it omits here.

[0069] In the semiconductor device of this example, the titanium nitride film 101 is formed in the part to which the lower wiring layer 5,101 touches the up wiring layer 3 as shown in drawing 8 . The etch rate of the titanium nitride film 101 can be set up smaller enough than the etch rate of a tungsten at the time of etching of the up wiring layer 3 which consists of a tungsten. For this reason, the titanium nitride film 101 of a lower wiring layer is hardly etched at the time of etching of the up wiring layer 3. Therefore, the part of the lower wiring layer 5,101 by which the lower wiring layer 5 is not covered even if a front face is not covered by the up wiring layer 3 in part is not sharply etched in beer hall 7a, and the lower wiring layer 5,101 can maintain good electric dependability.

[0070] Moreover, the part of the lower wiring layer 5,101 which is not covered by the up wiring layer 3 in beer hall 7a from **** is hardly etched at the time of etching of the up wiring layer 3. For this reason, it

is not necessary to prepare a part with wide line breadth in the up wiring layer 3 in consideration of a covering margin. That is, as shown in drawing 7, it is the predetermined line breadth WB about the up wiring layer 3. It can be made to be able to maintain and can be made to extend. Thereby, spacing LA2 and LB2 of the up wiring layer 3 and the other wiring layers 21 can be uniformly made into the minimum processing dimension in the minimum distance and the so-called photoengraving process. Therefore, the wiring pitch LPB of the up wiring layer 3 which runs parallel to mutually, and the other wiring layers 21 can be contraction-ized, and the semiconductor device suitable for high integration can be obtained. [0071] In addition, it sets in the 1st and 2nd examples, and the path of beer hall 7a is the line breadth WA of the up wiring layer 3, and WB. Although the case of being the same or small was explained, this invention is not restricted to this. That is, as shown in drawing 13 and drawing 14, they are the line breadth WC of the up wiring layer 203 (201), and WD. Paths RC and RD of beer hall 207a It may be small. The semiconductor device shown in this drawing 13 and drawing 14 also does so the almost same effectiveness as the 1st and 2nd examples mentioned above. Furthermore, the following effectiveness also does so.

[0072] The pattern of LSI is made detailed, and it is usually necessary to also reduce the diameter of a hole as wiring width of face is small and a pitch becomes small. However, even when there is no puncturing margin in the photoengraving process of a minute hole, a resist pattern can be enlarged and the insufficiency of a photoengraving-process process technique can be compensated with this example.

[0073] In addition, the titanium nitride film 301 shown in the titanium nitride film 1 and 101 in the 1st and 2nd examples, the titanium nitride film 201 shown in drawing 13, and drawing 14 may be tantalum nitride (TaN). Moreover, although the combination of a tungsten and the titanium nitride film was explained like the titanium nitride film 301 and the tungsten film 203 in the titanium nitride film 201, the tungsten film 5, and drawing 14 in the titanium nitride film 101, the tungsten film 3, and drawing 13 in the titanium nitride film 1, the tungsten film 5, and the 2nd example in the 1st example, what is necessary is just the quality of the material which is not limited to this and can set up both etching speed difference greatly enough.

[0074] Moreover, the aluminium alloy film may be formed on the tungsten film 3 (or 203) which makes the up wiring layer shown in the 1st and 2nd examples, and drawing 13 and drawing 14. In this case, the titanium nitride film may be further formed on that aluminium alloy film.

[0075] Moreover, in the 1st and 2nd examples, and drawing 13 and drawing 14, the titanium nitride film may be prepared as a barrier metal between the tungsten film 5 and the layer insulation layers 17 which make a lower wiring layer.

[0076] The titanium nitride film 301 shown in the 2nd titanium nitride film 101 and drawing 14 in an example also makes the role of an antireflection film.

[0077] In addition, this invention is effective not only when an up wiring layer shifts by superposition gap of the mask at the time of photoengraving process, but when an up wiring layer is intentionally shifted from a beer hall. Here, the case where a ** rule is carried out to the case where an up wiring layer is intentionally shifted from a beer hall, at spacing with adjoining wiring, and up wiring must be shifted on a design to a beer hall corresponds.

[0078]

[Effect of the Invention] In the semiconductor device according to claim 1 to 7, the conductive layer is prepared in the touching part of the 1st wiring layer and the 2nd wiring layer. This conductive layer has a different etched property from the 1st or the 2nd wiring layer. For this reason, most of the 1st wiring layer is not etched at the time of etching for patterning of the 2nd wiring layer. Therefore, good electric dependability is maintained.

[0079] Moreover, since the 2nd wiring layer is hardly etched at the time of etching by patterning of the 1st wiring layer, it does not need to prepare a part with wide line breadth in the 2nd wiring layer in consideration of a covering margin. Therefore, -izing of the wiring pitch between the 2nd wiring layer and the wiring layer which runs parallel to can be carried out [****], and it becomes possible to attain high integration.

[0080] With the semiconductor device of a publication, a conductive layer is made claims 2, 3, 5, and 6 to the 1st or the 2nd wiring layer being used as a tungsten at titanium nitride or tantalum nitride. This titanium nitride (or tantalum nitride) and tungsten are the ingredient which can secure the difference of a mutual etch rate greatly according to etching conditions. For this reason, most of the 1st wiring layer is not etched at the time of etching for patterning of the 2nd wiring layer. Therefore, good electric dependability is maintained.

[0081] By the manufacture approach of a semiconductor device according to claim 8, the semiconductor device according to claim 1 which good electric dependability was acquired and fitted high integration can be obtained.

[0082] By the manufacture approach of a semiconductor device according to claim 9, the semiconductor device according to claim 4 which has good electric dependability and fitted high integration can be obtained.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the top view showing roughly the configuration of the semiconductor device in the 1st example of this invention.

[Drawing 2] It is the outline sectional view which meets the arrow-head A-A line of drawing 1.

[Drawing 3] It is the outline sectional view showing the 1st process of the manufacture approach of the semiconductor device in the 1st example of this invention.

[Drawing 4] It is the outline sectional view showing the 2nd process of the manufacture approach of the semiconductor device in the 1st example of this invention.

[Drawing 5] It is the outline sectional view showing the 3rd process of the manufacture approach of the semiconductor device in the 1st example of this invention.

[Drawing 6] It is the outline sectional view showing the 4th process of the manufacture approach of the semiconductor device in the 1st example of this invention.

[Drawing 7] It is the outline sectional view showing the 5th process of the manufacture approach of the semiconductor device in the 1st example of this invention.

[Drawing 8] It is the outline sectional view which meets the B-B line of drawing 7.

[Drawing 9] It is the outline sectional view showing the 1st process of the manufacture approach of the semiconductor device in the 2nd example of this invention.

[Drawing 10] It is the outline sectional view showing the 2nd process of the manufacture approach of the semiconductor device in the 2nd example of this invention.

[Drawing 11] It is the outline sectional view showing the 3rd process of the manufacture approach of the semiconductor device in the 2nd example of this invention.

[Drawing 12] It is the outline sectional view showing the 4th process of the manufacture approach of the semiconductor device in the 2nd example of this invention.

[Drawing 13] It is the outline sectional view showing a configuration when the path of a beer hall is larger than the line breadth of an up wiring layer.

[Drawing 14] It is the outline sectional view showing a configuration when the path of a beer hall is larger than the line breadth of an up wiring layer.

[Drawing 15] It is the sectional view showing roughly the configuration of the conventional semiconductor device with which a wiring layer consists of an aluminium alloy.

[Drawing 16] It is the sectional view showing roughly the configuration of the conventional semiconductor device using a tungsten plug.

[Drawing 17] Drawing 15 or arrow head X0 of drawing 16 It is the outline top view seen from the direction.

[Drawing 18] It is an outline top view at the time of making an up wiring layer extend in predetermined line breadth.

[Drawing 19] It is an outline top view when the superposition error of the mask at the time of photoengraving process arises.

[Drawing 20] It is an outline top view for explaining evil when the superposition error of the mask at the time of photoengraving process arises.

[Drawing 21] It is an outline sectional view for explaining evil when a superposition gap of the mask at the time of photoengraving process arises.

[Description of Notations]

1,101 3 The titanium nitride film, 5 The tungsten film, 7 A layer insulation layer, 7a beer hall.

[Translation done.]

(19) 日本国特許庁 (J.P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-51149

(43) 公開日 平成8年(1996)2月20日

(51) Int.Cl.⁶

H01L 21/768

21/28

識別記号

庁内整理番号

301 R

F I

技術表示箇所

H01L 21/90

B

審査請求 未請求 請求項の数9 OL (全10頁)

(21) 出願番号 特願平6-185648

(22) 出願日 平成6年(1994)8月8日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 岡本 龍郎

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社ユー・エル・エス・アイ開発研究

所内

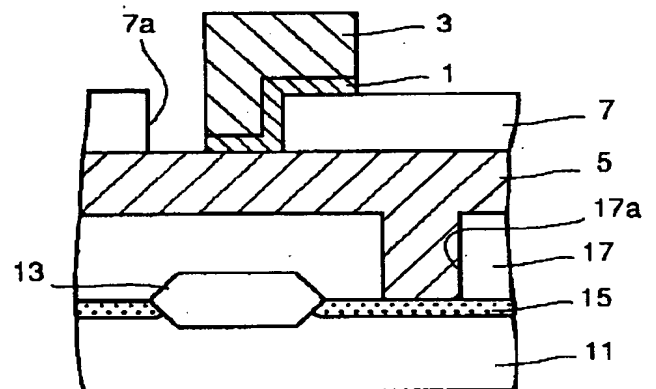
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 高集積化に適し、電気的信頼性の高い多層配線構造を提供する。

【構成】 タングステンよりなる下部配線層5が形成されている。下部配線層5上に層間絶縁層7が形成されている。層間絶縁層7には、下部電極層5の一部表面を露出するビアホール7aが形成されている。ビアホール7aを通じて下部配線層5と接するように上部配線層1、3が形成されている。上部配線層は、窒化チタン膜1とその窒化チタン膜1上に形成されたタングステン膜3とを有している。窒化チタン膜1は、ビアホール7aの底壁の一部においてのみ下部配線層5と接している。



1:窒化チタン膜
3,5:タングステン膜
7:層間絶縁膜
7a:ビアホール

(2)

【特許請求の範囲】

【請求項1】 第1の配線層と、

前記第1の配線層上に形成され、前記第1の配線層の一部表面に達する穴を有する絶縁層と、
前記穴を通じて前記第1の配線層と電気的に接続される第2の配線層とを備え、
前記穴の底壁面は前記第1の配線層の表面よりなり、
前記第2の配線層は、前記穴の底壁面の一部にのみ選択的に接しており、
前記第2の配線層が前記第1の配線層と接する部分において、前記第2の配線層は、前記第1の配線層とは被エッチング特性の異なる材料よりなる導電層を有している、半導体装置。

【請求項2】 前記第1の配線層の材料はタングステンを含み、前記導電層の材料は窒化チタンおよび窒化タンタルの少なくともいずれかを含む、請求項1に記載の半導体装置。

【請求項3】 前記第2の配線層は、前記導電層上に形成された第2の導電層を有し、
前記第2の導電層の材料はタングステンを含む、請求項1に記載の半導体装置。

【請求項4】 第1の配線層と、
前記第1の配線層上に形成され、前記第1の配線層の一部表面に達する穴を有する絶縁層と、
前記穴を通じて前記第1の配線層と電気的に接続される第2の配線層とを備え、
前記第2の配線層は、前記穴の底壁面の一部にのみ選択的に接しており、
前記第1の配線層は、前記第2の配線層とは被エッチング特性の異なる材料よりなる導電層を有し、
前記穴の底壁面は前記導電層の表面よりなっている、半導体装置。

【請求項5】 前記第2の配線層の材料はタングステンを含み、前記導電層の材料は窒化チタンおよび窒化タンタルの少なくともいずれかを含む、請求項4に記載の半導体装置。

【請求項6】 前記第1の配線層は、前記導電層下に形成された第2の導電層を有し、
前記第2の導電層の材料はタングステンを含む、請求項4に記載の半導体装置。

【請求項7】 前記第2の配線層は、所定の幅を維持して前記穴の領域を含む前記絶縁層上を延在している、請求項1および4のいずれかに記載の半導体装置。

【請求項8】 第1の配線層を形成する工程と、
前記第1の配線層上に絶縁層を形成する工程と、
前記絶縁層に、前記第1の配線層に達し、かつ底壁面が前記第1の配線層からなる穴を形成する工程と、
前記穴を通じて前記第1の配線層と接し、かつ前記第1の配線層と被エッチング特性の異なる材料よりなる導電層を有するように第2の配線層を形成する工程と、

2

前記第2の配線層を、前記穴の底壁面の一部に接した状態で残存させるように選択的に除去する工程とを備えた、半導体装置の製造方法。

【請求項9】 導電層を有する第1の配線層を形成する工程と、

前記第1の配線層上に絶縁層を形成する工程と、
前記絶縁層に、前記第1の配線層に達し、かつ底壁面が前記導電層からなる穴を形成する工程と、
前記穴を通じて前記導電層と接するように、前記導電層と被エッチング特性の異なる材料よりなる第2の配線層を形成する工程と、
前記第2の配線層を、前記穴の底壁面の一部に接した状態で残存させるように選択的に除去する工程とを備えた、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置およびその製造方法に関し、より特定的には、大規模集積回路（LSI）の多層配線構造を有する半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】従来、多層配線構造は、図15に示すようにA1（アルミニウム）合金を配線層に用いたものが主であった。図15を参照して、半導体基板511の素子分離膜513によって分離された表面に不純物拡散領域515が形成されている。半導体基板511の表面上には層間絶縁層517が形成されており、この層間絶縁層517には、不純物拡散領域515に達するコンタクトホール517aが形成されている。コンタクトホール517aを通じてこの不純物拡散領域515に接するようにアルミニウム（A1）合金膜505が下部配線層として形成されている。この下部配線層505を覆うように層間絶縁層507が形成されており、この層間絶縁層507には、下部配線層505の一部表面に達するビアホール507aが形成されている。このビアホール507aを通じて、下部配線層505と接するようにアルミニウム合金膜503よりなる上部配線層が形成されている。

【0003】しかし半導体装置の高集積化とともにコンタクトホールやビアホールも微細化されてきた。これにより、コンタクトホールやビアホール内でのアルミニウム合金膜のステップカバレッジ率が低下し、エレクトロマイグレーション、ストレスマイグレーションなどの信頼性低下が問題となってきた。このため、図16に示すようにタングステン（W）プラグをホール内に形成する構造が採用され始めた。

【0004】つまり図16を参照して、コンタクトホール517aやビアホール507aがプラグ層605a、503aによって充填されている。このため、コンタクトホール517内での配線層のステップカバレッジは問

(3)

3

題とならない。ゆえに、このプラグ層605a、503aを通じて各配線層605b、503bが各々下層の不純物拡散領域515や配線層605bに電氣的に接続されることで、電氣的信頼性は向上する。

【0005】図17は、図15および図16の矢印X₀方向から見た従来の半導体装置を概略的に示す平面図である。図17を参照して、従来の半導体装置では、ビアホール507a上方に位置する上部配線層503(503b)の接続部503cの線幅W₁は、上部配線層503の他の部分の線幅W₂より大きく設定されている。このように接続部503cの線幅W₁が大きく設定されているため、写真製版時の重ね合わせ誤差によるカバーマージンが生まれる。

【0006】つまり、上部配線層503をパターンニングする場合、表面全面に導電層を形成した後、写真製版技術によりその導電層が上部配線層503にパターンニングされる。しかし、その写真製版時のマスクの重ね合わせ誤差により、上部配線層503が所定の位置から矢印S_Aもしくは矢印S_B方向にずれて形成される場合がある。このように上部配線層503がずれて形成された場合には、ビアホール507aを通じて上部配線層503と下部配線層505との良好な接続が得られない場合が生ずる。それゆえ、上部配線層503が矢印S_Aもしくは矢印S_B方向にずれて形成された場合でも、下部配線層505との良好な接続が得られるように接続部503cの線幅W₁が大きく設定されカバーマージンが確保されている。

【0007】なお、図17のE-E線に沿う断面が図15、16に対応する。

【0008】

【発明が解決しようとする課題】上記のように従来の半導体装置は構成されている。

【0009】① しかし、従来の半導体装置では、図17に示す上部配線層503の接続部503cの線幅W₁が他の部分の線幅W₂よりも大きいため高集積化に適さないという問題点があった。以下、そのことについて詳細に説明する。

【0010】図17を参照して、接続部503cの線幅W₁が上部配線層503の他の部分の線幅W₂より大きい。このため、上部配線層503と並走する配線層521を形成する場合、接続部503cと配線層521の間では、間隔L_{A5}が最小間隔となる。この場合、上部配線層503の線幅W₂を有する部分と配線層521との間隔L_{B5}は、接続部503cと配線層521との間隔L_{A5}よりも大きくなる。それゆえ、間隔L_{B5}を最小間隔、つまり写真製版における最小加工寸法にすることはできない。このように、接続部503cでカバーマージンを設けた結果、そのカバーマージン分だけ間隔L_{B5}が広がり、上部配線層503と配線層521との配線ピッチL_{P5}が広がり、高集積化に適さなくなる。

4

【0011】② 一方、接続部503cにおいてカバーマージンを設けない場合、配線層をアルミニウムで形成すると(図15)、配線層の電氣的信頼性が低下するという問題が生じる。以下、そのことについて詳細に説明する。

【0012】図18は、上部配線層にカバーマージンを設けない場合の半導体装置の構成を概略的に示す平面図である。図18を参照して、カバーマージンを設けない場合、上部配線層503と配線層521との間隔L_{A6}、L_{B6}は一樣に最小間隔にすることができる。このため、上部配線層503と配線層521との配線ピッチL_{B6}を、図17に示す配線ピッチL_{B5}より小さくすることができる。それゆえ、カバーマージンを設けない構造は高集積化に適しているといえる。

【0013】しかし、カバーマージンがないため、写真製版時の重ね合わせ誤差により、上部配線層503の位置がずれて形成された場合、図19のようになる。

【0014】図19を参照して、上部配線層503の位置ずれにより、上部配線層503がビアホール507上をカバーできない部分が生ずる。

【0015】この場合、下部および上部配線層505、503がともにアルミニウム合金により形成されていると、上部配線層503のパターンニングのためのエッチングにより、下部配線層505までも図20に示すようにエッチングされてしまう。

【0016】図20は、図19のF-F線に沿う概略断面図である。図20を参照して、上部配線層503のエッチング時に下部配線層505もエッチングされてしまうと、下部配線層505の配線抵抗が高くなり、電氣的信頼性の低下が生ずる。

【0017】③ また、タングステンプラグを適用した場合でも、図21に示すように写真製版による重ね合わせずれにより、上部配線層503bがビアホール507a上をカバーできない部分が生じる。しかし、アルミニウムよりなる上部配線層503bのエッチング速度に対するタングステンプラグ503aのエッチング速度を十分に小さく設定することができる。このため、上部配線層503bのパターンニング時にタングステンプラグ503aはほとんどエッチングされず、エッチングによるダメージを受けない。

【0018】しかし、この場合、タングステンプラグの製造プロセスにより以下の問題が生じる。

【0019】タングステンプラグの製造プロセスには、二通りの方法がある。1つの方法は、タングステンを表面全面に堆積した後、全面エッチバックしてホール内のみタングステンを残存させる方法である。またもう1つの方法は、ホール内のみ選択的にタングステンを成長させる方法である。しかし、前者の方法には、タングステンの堆積およびエッチバックという2つの工程が追加されることによる製造コストの上昇という問題があ

(4)

5

る。また後者の方法には、ホール内にのみ選択的に成長させる選択性の制御がきわめて難しいという問題があった。

【0020】以上の①～③により、本発明の一の目的は、高集積化に適した多層配線構造を提供することである。

【0021】また本発明の他の目的は、電気的信頼性の高い多層配線構造を提供することである。

【0022】本発明のさらに他の目的は、簡略な工程で多層配線構造を製造することである。

【0023】

【課題を解決するための手段】請求項1に記載の半導体装置は、第1の配線層と、絶縁層と、第2の配線層とを備えている。絶縁層は、第1の配線層上に形成され、第1の配線層の一部表面に達する穴を有している。第2の配線層は、穴を通じて第1の配線層と電気的に接続されている。穴の底壁面は第1の配線層の表面よりなっている。第2の配線層は穴の底壁面の一部にのみ選択的に接している。第2の配線層が第1の配線層と接する部分において、第2の配線層は第1の配線層と被エッチング特性の異なる材料よりなる導電層を有している。

【0024】請求項2に記載の半導体装置では、第1の配線層の材料はタングステンを含み、導電層の材料は窒化チタンおよび窒化タンタルの少なくともいずれかを含んでいることが好ましい。

【0025】請求項3に記載の半導体装置では、第2の配線層は、導電層上に形成された第2の導電層を有し、第2の導電層の材料はタングステンを含んでいることが好ましい。

【0026】請求項4に記載の半導体装置は、第1の配線層と、絶縁層と、第2の配線層とを備えている。絶縁層は、第1の配線層上に形成され、第1の配線層の一部表面に達する穴を有している。第2の配線層は、穴を通じて第1の配線層と電気的に接続されている。第2の配線層は穴の底壁面の一部にのみ選択的に接している。第1の配線層は、第2の配線層とは被エッチング特性の異なる材料よりなる導電層を有している。穴の底壁面は導電層の表面よりなっている。

【0027】請求項5に記載の半導体装置では、第2の配線層の材料はタングステンを含み、導電層の材料は窒化チタンおよび窒化タンタルの少なくともいずれかを含んでいることが好ましい。

【0028】請求項6に記載の半導体装置では、第1の配線層は導電層下に形成された第2の導電層を有し、第2の導電層の材料はタングステンを含んでいることが好ましい。

【0029】請求項7に記載の半導体装置では、第2の配線層は所定の幅を維持して穴の領域を含む絶縁層上に延在していることが好ましい。

【0030】請求項8に記載の半導体装置の製造方法は

6

以下の工程を備えている。まず第1の配線層が形成される。そして第1の配線層上に絶縁層が形成される。そして絶縁層に、第1の配線層に達し、かつ底壁面が第1の配線層からなる穴が形成される。そして穴を通じて第1の配線層と接し、かつ第1の配線層と被エッチング特性の異なる材料よりなる導電層を有するように第2の配線層が形成される。そして第2の配線層が、穴の底壁面の一部に接した状態で残存するように選択的に除去される。

10 【0031】請求項9に記載の半導体装置の製造方法は以下の工程を備えている。まず導電層を有する第1の配線層が形成される。そして第1の配線層上に絶縁層が形成される。そして絶縁層に、第1の配線層に接し、かつ底壁面が導電層からなる穴が形成される。そして穴を通じて導電層と接するように、導電層と被エッチング特性の異なる材料よりなる第2の配線層が形成される。そして第2の配線層が、穴の底壁面の一部に接した状態で残存するように選択的に除去される。

【0032】

20 【作用】請求項1および4に記載の半導体装置では、第2の配線層が第1の配線層と接する部分に導電層が設けられている。この導電層は、第1もしくは第2の配線層と異なる被エッチング特性を有している。このため、第2の配線層が穴上をカバーしない部分があっても、第2の配線層のパターニングのためのエッチング時にそのカバーされない部分の第1の配線層はほとんどエッチングされない。よって、良好な電気的信頼性が得られる。

【0033】また、第2の配線層にカバーされない第1の配線層が、第2の配線層のエッチング時にほとんどエッチングされないため、第2の配線層にカバーマージンを考慮して線幅の広い部分を設ける必要はない。よって、線幅の広い部分を設ける必要がない分だけ、配線ピッチを縮小化でき高集積化を図ることが可能となる。

【0034】請求項2、3、5および6に記載の半導体装置では、第1もしくは第2の配線層がタングステンにされるのに対し、導電層は窒化チタンか窒化タンタルにされる。この窒化チタン（もしくは窒化タンタル）とタングステンとは、エッチング条件によって、互いのエッチング速度の差を大きく確保できる材料である。このため、第2の配線層が穴上をカバーしない部分があっても、第2の配線層のパターニングのためのエッチング時にそのカバーされない部分の第1の配線層はほとんどエッチングされない。よって、良好な電気的信頼性が得られる。

【0035】請求項8に記載の半導体装置の製造方法では、請求項1に記載の半導体装置を得ることができる。

【0036】請求項9に記載の半導体装置の製造方法では、請求項4に記載の半導体装置を得ることができる。

【0037】

50 【実施例】以下、本発明の実施例について図に基づいて

(5)

7

説明する。

実施例1

図1は、本発明の第1の実施例における半導体装置の構成を概略的に示す平面図である。また図2は、図1のA-A線に沿う概略断面図である。

【0038】図1と図2を参照して、半導体基板11の素子分離膜13によって分離された表面には不純物拡散領域15が形成されている。この半導体基板11の表面には層間絶縁層17が形成されている。層間絶縁層17には不純物拡散領域15に達するコンタクトホール17aが設けられている。

【0039】コンタクトホール17aを通じて不純物拡散領域15と接するよう5000Åの膜厚でタングステンよりなる下部配線層5が設けられている。この下部配線層5を覆うように層間絶縁層7が形成されている。層間絶縁層7には、下部配線層5の一部表面に達するビアホール7aが設けられている。ビアホール7aを通じて下部配線層5と接するように第2の配線層1、3が形成されている。

【0040】第2の配線層は、たとえば1000Åの膜厚を有する窒化チタン(TiN)膜1とその窒化チタン膜1上にたとえば8000Åの膜厚で形成されたタングステン膜3とを有している。

【0041】この第2の配線層1、3はビアホール7a内を完全には埋込んでいない。つまり、ビアホール7a内には第2の配線層1、3によって埋め込まれない領域がある。それゆえ、第2の配線層1、3は、ビアホール7aの底壁面の一部にのみ選択的に接している。

【0042】この第2の配線層1、3は、線幅 W_A を維持して、ビアホール7a上を含む層間絶縁層7上を延在している。

【0043】なお、上部配線層1、3と並走するように層間絶縁層7の表面上には他の配線層2も設けられている。

【0044】次に、本発明の第1の実施例における半導体装置の製造方法について説明する。

【0045】図3～図6は、本発明の第1の実施例の半導体装置の製造方法を工程順に示す概略断面図である。まず図3を参照して、半導体基板11の表面に通常のLOCOS(Local Oxidation of Silicon)法により素子分離膜13が選択的に形成される。また、半導体基板11の素子分離酸化膜13によって分離された領域にたとえばイオン注入などにより不純物拡散領域15が形成される。半導体基板11の表面全面を覆うように層間絶縁層17が形成される。通常の写真製版技術およびエッチング技術により不純物拡散領域15の一部表面に達するコンタクトホール17aが層間絶縁層17に形成される。

【0046】コンタクトホール17aを通じて不純物拡散領域15と接するように表面全面にタングステン膜5

8

がたとえばスパッタ法などにより5000Åの膜厚で形成される。この後、写真製版技術およびエッチング技術によりタングステン膜5が所望の形状にパターニングされて第1の配線層5となる。この第1の配線層5を覆うように層間絶縁層7が形成される。通常の写真製版技術およびエッチング技術により下部配線層5の一部表面に達するビアホール7aが層間絶縁層7に形成される。

【0047】図4を参照して、ビアホール7aを通じて下部電極層5と接するように表面全面に窒化チタン膜1がスパッタ法などにより1000Å程度の膜厚で形成される。

【0048】図5を参照して、窒化チタン膜1の表面全面にタングステン膜3がたとえばスパッタ法などにより8000Å程度の膜厚で形成される。

【0049】図6を参照して、タングステン膜3の表面上にレジストパターン23が形成される。このレジストパターン23をマスクとして、タングステン膜3にエッチングが施される。

【0050】このエッチングの条件は、たとえばエッチングガス：SF₆ガス、圧力：1mTorr、RFパワー：150Wである。このエッチング条件におけるタングステンのエッチング速度は2000Å/分であり、フォトリソのエッチング速度は1000Å/分である。またこのエッチング条件における窒化チタンのエッチング速度はタングステンのエッチング速度の1/10以下である。このため、窒化チタン膜1に50%のオーバーエッチングを施しても、窒化チタン膜は40Å程度の膜厚しかエッチングされない。

【0051】続いて、窒化チタン膜1にエッチングが施される。このエッチングの条件は、たとえばエッチングガス：BCl₃+Cl₂ガス、圧力：10mTorr、RFパワー：200Wである。このエッチング条件では、窒化チタン膜1のエッチング速度は1000Å/分である。またこのエッチング条件でのタングステンのエッチング速度は窒化チタンの1/50～1/100以下である。このため、窒化チタン膜1が1000Åのとき、窒化チタン膜1に100%のオーバーエッチングを施しても、タングステンよりなる下部配線層5は、10～20Å以下の膜厚しかエッチング除去されない。

【0052】このように、タングステンのエッチング時にはフッ素(F)系のガスを用いれば窒化チタン膜はほとんどエッチングされない。また窒化チタン膜のエッチング時には、塩素(Cl)系のガスを用いることによりタングステン膜はほとんどエッチングされない。これらのエッチング後に、レジストパターン23が除去されて図1、2に示す状態となる。

【0053】なお、配線層が下部配線層および上部配線層1、3の2層のみの場合には、上記の工程の後、上部配線層1、3を覆うようにパッシベーション膜が表面全面に形成されるが、ここでは省略する。

(6)

9

【0054】本実施例の半導体装置では、図2に示すように上部配線層1、3が下部配線層5と接する部分において窒化チタン膜1が設けられている。この窒化チタン膜1のエッチング時において、窒化チタン膜1のエッチング速度をタングステンよりなる下部配線層5のエッチング速度より十分に大きく設定することができる。このため、窒化チタン膜1のエッチング時に下部電極層5はほとんどエッチングされない。よって、ビアホール7a内において下部配線層5の一部表面が上部配線層1、3によってカバーされなくとも、下部配線層5のカバーされない部分が大幅にエッチングされることはなく、下部配線層5の良好な電気的信頼性が維持される。

【0055】また、上述よりビアホール7a内において上部配線層1、3によってカバーされない下部配線層5の部分は、窒化チタン膜1のエッチング時にほとんどエッチングされない。このため、上部配線層1に、カバーマージンを考慮して線幅の広い部分を設ける必要はない。つまり図1に示すように上部配線層1、3を所定の線幅 W_A を維持させて延在させることができ、上部配線層1、3とその他の配線層21との間隔 L_{A1} 、 L_{B1} を最小距離、いわゆる写真製版における最小加工寸法にすることができる。よって、図1に示すように互いに並走する上部配線層1、3とその他の配線層21との配線ピッチ L_{PA} を図17に示す従来の配線ピッチ L_{P5} より縮小化することができ、高集積化に適した半導体装置を得ることができる。

実施例2

図7は、本発明の第2の実施例における半導体装置の構成を概略的に示す平面図である。また図8は、図7のB-B線に沿う概略断面図である。

【0056】図7と図8とを参照して、本実施例の半導体装置の構成は、第1の実施例と比較して、下部配線層および上部配線層の構成が異なる。

【0057】下部配線層は、タングステン膜5と窒化チタン膜101とを有している。タングステン膜5は、層間絶縁層17に設けられたコンタクトホール17aを通じて不純物拡散領域15に接するように形成されている。窒化チタン膜101は、そのタングステン膜5上に形成されている。また上部配線層3は、タングステン膜単層よりなっている。

【0058】上部配線層3は、層間絶縁層7に設けられたビアホール7aを通じて下部電極層5、101に接している。この上部配線層3はビアホール7a内を完全に埋め込んでいない。つまり、上部配線層3はビアホール7aの底壁面の一部にのみ選択的に接している。

【0059】なお、これ以外の構成については第1の実施例とほぼ同様であるためその説明は省略する。

【0060】次に、本発明の第2の実施例における半導体装置の製造方法について説明する。

【0061】図9～図12は、本発明の第2の実施例に

10

における半導体装置の製造方法を工程順に示す概略断面図である。まず図9を参照して、半導体基板11の表面に通常のLOCOS法を用いて素子分離膜13が形成される。半導体基板11の素子分離膜13によって分離された表面にはイオン注入法などによって不純物拡散領域15が形成される。半導体基板11の表面を覆うように層間絶縁層17が形成される。通常の写真製版技術およびエッチング技術により層間絶縁層17に不純物拡散領域15の一部表面に達するコンタクトホール17aが形成される。

【0062】コンタクトホール17aを通じて不純物拡散領域15の表面と接するように表面全面にたとえばスパッタ法などにより5000Å程度の膜厚でタングステン膜5が形成される。このタングステン膜5の表面全面にたとえばスパッタ法などにより500Å程度の膜厚で窒化チタン膜101が形成される。通常の写真製版技術およびエッチング技術により窒化チタン膜101およびタングステン膜5が順次パターニングされて下部配線層5、101が形成される。

【0063】特に、この窒化チタン膜101のエッチングは、たとえばエッチングガス： $BCl_3 + Cl_2$ ガス、圧力：10mTorr、RFパワー：200Wの条件下で行なわれる。このエッチング条件では、窒化チタン膜のエッチング速度は1000Å/分である。またこのエッチング条件におけるタングステン膜5のエッチング速度は窒化チタン膜101のエッチング速度の1/50～1/100以下である。したがって、窒化チタン膜が1000Åの膜厚を有するとき、この窒化チタン膜に100%のオーバーエッチングが施されてもタングステン膜は10～20Å以下の膜厚しかエッチング除去されない。

【0064】図10を参照して、下部配線層5、101を覆うように層間絶縁層7が形成される。通常の写真製版技術およびエッチング技術により層間絶縁層7に窒化チタン膜101の一部表面に達するビアホール7aが形成される。

【0065】図11を参照して、ビアホール7aを通じて窒化チタン膜101に接するように表面全面に、たとえばスパッタ法により8000Å程度の膜厚でタングステン膜3が形成される。

【0066】図12を参照して、タングステン膜3の一部表面にレジストパターン23が形成される。このレジストパターン23をマスクとしてタングステン膜3がエッチング除去される。

【0067】このエッチングの条件は、たとえばエッチングガス： SF_6 ガス、圧力：1mTorr、RFパワー：150Wである。このエッチング条件におけるタングステンのエッチング速度は2000Å/分であり、レジストパターン23のエッチング速度は1000Å/分である。またこのエッチング条件における窒化チタン膜

(7)

11

101のエッチング速度はタングステン膜3の1/10以下である。このため、タングステン膜3に50%のオーバーエッチングを施しても、窒化チタン膜101は40Å程度しかエッチング除去されない。

【0068】この後、レジストパターン23が除去されて図8に示す状態となる。なお、配線層が下部配線層5、101および上部配線層3の2層のみの場合には、この上部配線層3を覆うようにパッシベーション膜が形成されるが、ここでは省略する。

【0069】本実施例の半導体装置では、図8に示すように下部配線層5、101が上部配線層3と接する部分において窒化チタン膜101が設けられている。タングステンよりなる上部配線層3のエッチング時において、窒化チタン膜101のエッチング速度は、タングステンのエッチング速度よりも十分に小さく設定することができる。このため、上部配線層3のエッチング時に下部配線層の窒化チタン膜101はほとんどエッチングされない。よって、ビアホール7a内において下部配線層5、101の一部表面が上部配線層3によってカバーされなくても、下部配線層5のカバーされない部分が大幅にエッチングされることはなく、下部配線層5、101は良好な電氣的信頼性を維持することができる。

【0070】また上述より、ビアホール7a内において上部配線層3によってカバーされない下部配線層5、101の部分は、上部配線層3のエッチング時にほとんどエッチングされない。このため、上部配線層3に、カバーマージンを考慮して線幅の広い部分を設ける必要はない。つまり、図7に示すように上部配線層3を所定の線幅 W_B を維持させて延在させることができる。これにより上部配線層3とその他の配線層21との間隔 L_{A2} 、 L_{B2} は一樣に最小距離、いわゆる写真製版における最小加工寸法にすることができる。よって、互いに並走する上部配線層3とその他の配線層21との配線ピッチ L_{PB} を縮小化することができ、高集積化に適した半導体装置を得ることができる。

【0071】なお、第1および第2の実施例においては、ビアホール7aの径が上部配線層3の線幅 W_A 、 W_B と同一もしくは小さい場合について説明したが、本発明はこれに限られるものではない。つまり、図13および図14に示すように上部配線層203（201）の線幅 W_C 、 W_D がビアホール207aの径 R_C 、 R_D より小さくてもよい。この図13および図14に示す半導体装置も、上述した第1および第2の実施例とほぼ同様の効果を奏する。さらに以下の効果も奏する。

【0072】LSIのパターンが微細化され、配線幅が小さく、ピッチが小さくなるに従ってホール径も通常、縮小する必要がある。しかし本実施例では微小ホールの写真製版での開孔マージンがない場合でも、レジストパターンを大きくすることができ、写真製版プロセス技術の不足分を補える。

12

【0073】なお、第1および第2の実施例における窒化チタン膜1、101、図13に示す窒化チタン膜201および図14に示す窒化チタン膜301は、窒化タンタル（Ta₂N₅）であってもよい。また第1の実施例においては窒化チタン膜1とタングステン膜5、第2の実施例においては窒化チタン膜101とタングステン膜3、図13においては窒化チタン膜201とタングステン膜5、図14においては窒化チタン膜301とタングステン膜203というようにタングステンと窒化チタン膜の組合わせについて説明したが、これに限定されるものではなく、両者のエッチング速度差を十分に大きく設定できる材質であればよい。

【0074】また、第1および第2の実施例と図13、図14とにおいて示す上部配線層をなすタングステン膜3（もしくは203）上にアルミニウム合金膜が形成されてもよい。この場合、さらにそのアルミニウム合金膜の上に窒化チタン膜が形成されてもよい。

【0075】また、第1および第2の実施例と図13、図14とにおいて、下部配線層をなすタングステン膜5と層間絶縁層17との間にバリアメタルとして窒化チタン膜が設けられてもよい。

【0076】第2の実施例における窒化チタン膜101と図14に示す窒化チタン膜301とは、反射防止膜の役割もなす。

【0077】なお、本発明は、写真製版時におけるマスクの重ね合わせずれにより上部配線層がずれた場合のみならず、上部配線層を意図的にビアホールからずらした場合にも有効である。ここで、上部配線層を意図的にビアホールからずらした場合は、隣接する配線との間隔で律則されて上部配線をビアホールに対して設計上ずらさざるを得ない場合が該当する。

【0078】

【発明の効果】請求項1～7に記載の半導体装置では、第1の配線層と第2の配線層との接する部分に導電層が設けられている。この導電層は、第1もしくは第2の配線層と異なる被エッチング特性を有する。このため、第2の配線層のパターニングのためのエッチング時に第1の配線層はほとんどエッチングされない。よって、良好な電氣的信頼性が維持される。

【0079】また、第2の配線層は、第1の配線層のパターニングによるエッチング時にほとんどエッチングされないため、第2の配線層にカバーマージンを考慮して線幅の広い部分を設ける必要はない。よって、第2の配線層と並走する配線層との間の配線ピッチを縮小化でき、高集積化を図ることが可能となる。

【0080】請求項2、3、5および6に記載の半導体装置では、第1もしくは第2の配線層がタングステンにされるのに対し、導電層は窒化チタンか窒化タンタルにされる。この窒化チタン（もしくは窒化タンタル）とタングステンとは、エッチング条件によって、互いのエッ

(8)

13

チング速度の差を大きく確保できる材料である。このため、第2の配線層のパターニングのためのエッチング時に第1の配線層はほとんどエッチングされない。よって、良好な電氣的信頼性が維持される。

【0081】請求項8に記載の半導体装置の製造方法では、良好な電氣的信頼性が得られ、かつ高集積化に適した請求項1に記載の半導体装置を得ることができる。

【0082】請求項9に記載の半導体装置の製造方法では、良好な電氣的信頼性を有し、かつ高集積化に適した請求項4に記載の半導体装置を得ることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例における半導体装置の構成を概略的に示す平面図である。

【図2】 図1の矢印A-A線に沿う概略断面図である。

【図3】 本発明の第1の実施例における半導体装置の製造方法の第1工程を示す概略断面図である。

【図4】 本発明の第1の実施例における半導体装置の製造方法の第2工程を示す概略断面図である。

【図5】 本発明の第1の実施例における半導体装置の製造方法の第3工程を示す概略断面図である。

【図6】 本発明の第1の実施例における半導体装置の製造方法の第4工程を示す概略断面図である。

【図7】 本発明の第1の実施例における半導体装置の製造方法の第5工程を示す概略断面図である。

【図8】 図7のB-B線に沿う概略断面図である。

【図9】 本発明の第2の実施例における半導体装置の製造方法の第1工程を示す概略断面図である。

【図10】 本発明の第2の実施例における半導体装置

14

の製造方法の第2工程を示す概略断面図である。

【図11】 本発明の第2の実施例における半導体装置の製造方法の第3工程を示す概略断面図である。

【図12】 本発明の第2の実施例における半導体装置の製造方法の第4工程を示す概略断面図である。

【図13】 ビアホール径が上部配線層の線幅より大きい場合の構成を示す概略断面図である。

【図14】 ビアホール径が上部配線層の線幅より大きい場合の構成を示す概略断面図である。

【図15】 配線層がアルミニウム合金よりなる従来の半導体装置の構成を概略的に示す断面図である。

【図16】 タングステンプラグを用いた従来の半導体装置の構成を概略的に示す断面図である。

【図17】 図15もしくは図16の矢印X₀方向から見た概略平面図である。

【図18】 上部配線層を所定の線幅で延在させた場合の概略平面図である。

【図19】 写真製版時におけるマスクの重ね合わせ誤差が生じた場合の概略平面図である。

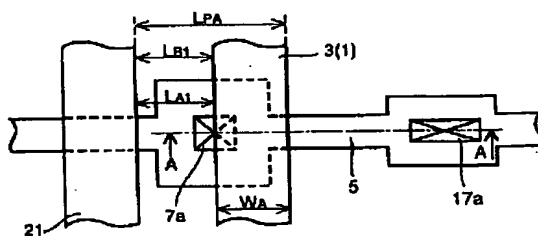
【図20】 写真製版時におけるマスクの重ね合わせ誤差が生じた場合の弊害を説明するための概略平面図である。

【図21】 写真製版時におけるマスクの重ね合わせずれが生じた場合の弊害を説明するための概略断面図である。

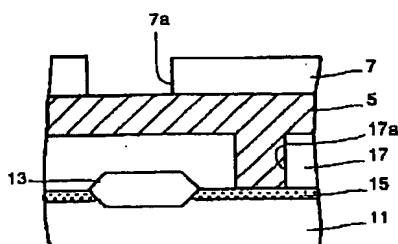
【符号の説明】

1、101 窒化チタン膜、3、5 タングステン膜、7 層間絶縁層、7a ビアホール。

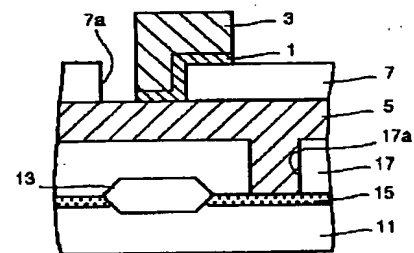
【図1】



【図3】



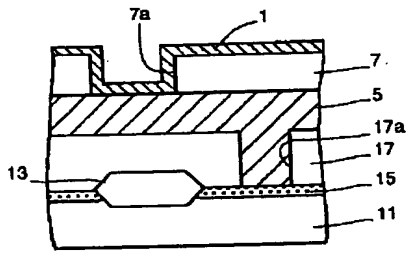
【図2】



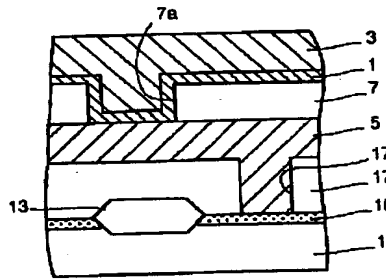
1:窒化チタン膜
3,5:タングステン膜
7:層間絶縁層
7a:ビアホール

(9)

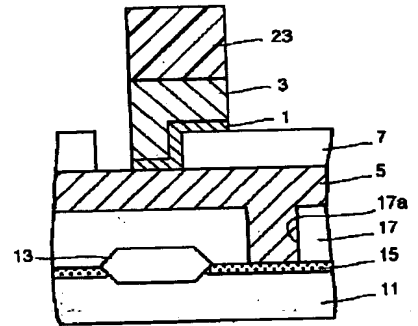
【図4】



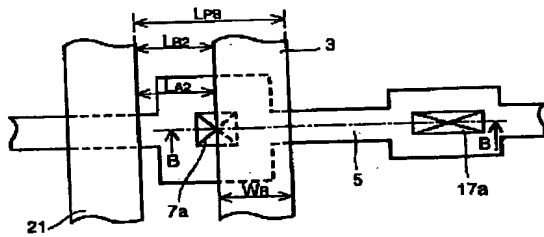
【図5】



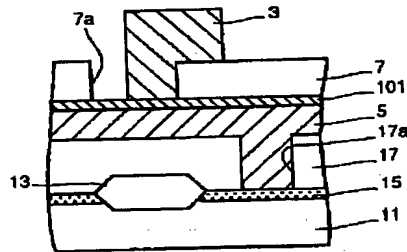
【図6】



【図7】

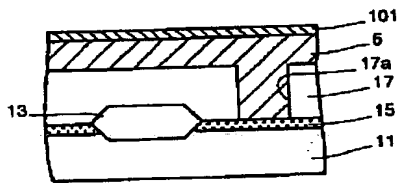


【図8】

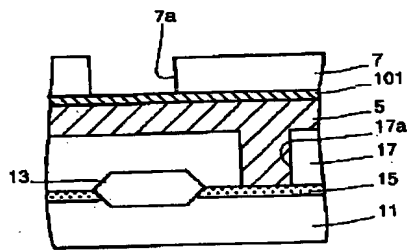


101:窒化チタン膜

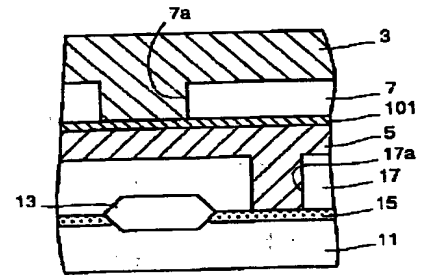
【図9】



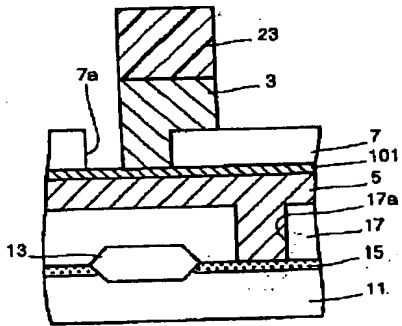
【図10】



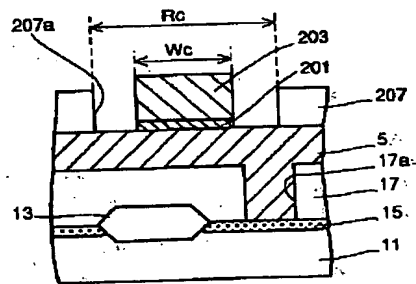
【図11】



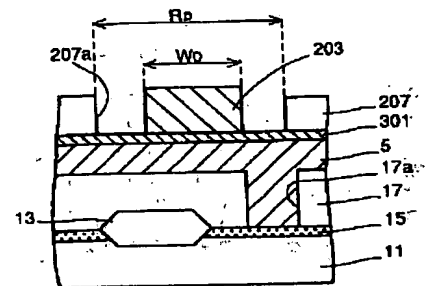
【図12】



【図13】

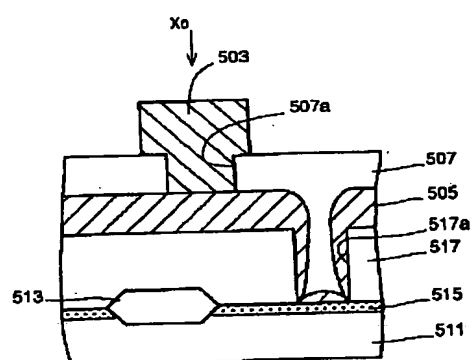


【図14】

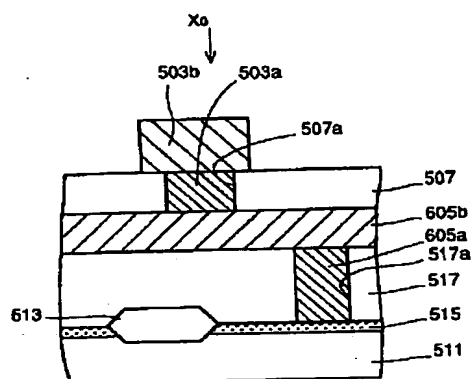


(10)

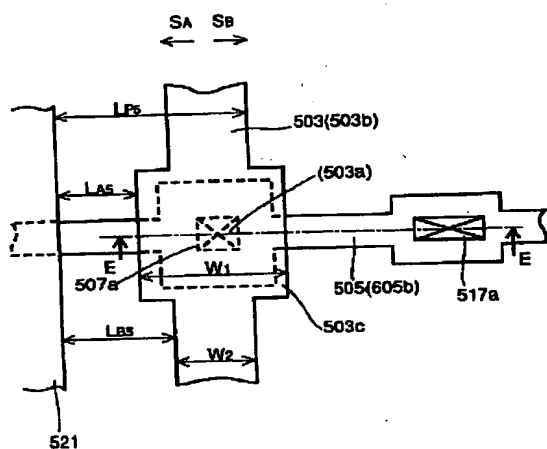
【図 15】



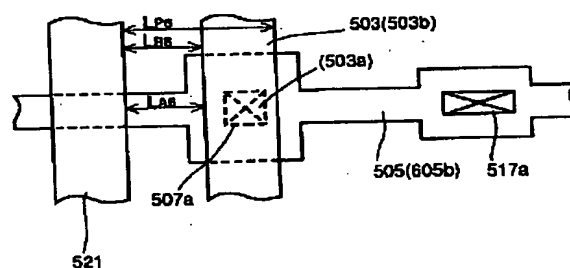
【图 16】



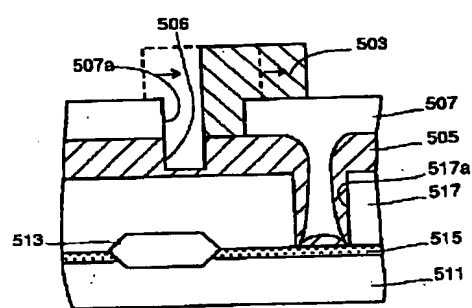
【圖 17】



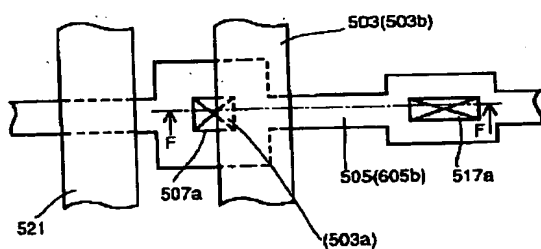
【图 18】



【図 20】



【圖 19】



【図 2 1】

